

Лекція 1. Загальні принципи побудови мікропроцесорних пристроїв

1.1 Основні поняття та визначення

Мікропроцесор (МП) – програмно-керований пристрій, який здійснює прийом, обробку і видачу інформації. Конструктивно МП виконаний на одній (або декількох) великій інтегральній схемі (ВІС), що здійснює цифрову обробку інформації, виконує дії за програмою записаною в пам'яті і управляє цим процесом.

Мікропроцесорний пристрій (МПП) – функціонально і конструктивно закінчений пристрій, що складається з декількох мікросхем, до складу якого входить мікропроцесор. МПП призначене для виконання певного набору функцій: здобуття, обробки, передачі, перетворення інформації і керування.

Мікропроцесорна система – обчислювальна, контрольно-вимірювальна або управляюча система, в якій основним пристроєм обробки інформації є МП. Мікропроцесорна система будується з набору мікропроцесорних ВІС.

Мультипроцесорний пристрій – утворюється об'єднанням деякої кількості універсальних або спеціалізованих МП, завдяки чому забезпечується паралельна обробка інформації і розподілено керування.

Сукупність мікросхем, сумісних по електричних, інформаційних і конструктивних параметрах, називається мікропроцесорним комплектом (МПК). До складу типового МПК входять ВІС мікропроцесора, оперативних і постійних пристроїв (ОЗП і ПЗП), що запам'ятовують, інтерфейсів і контролерів зовнішніх пристроїв, службових пристроїв (тактових генераторів, таймерів, регістрів, шинних формувачів, контролерів і арбітрів магістралі).

Мікроконтролер (МК) – пристрій, конструктивно виконаний на базі однієї ВІС яка містить основні функціональні частини МПК.

Інтегрований процесор (ІП) – пристрій, який займає проміжне положення між мікропроцесором і мікроконтролером. Функціональні можливості ІП відображають специфіку вирішуваних з його допомогою завдань.

Мікропроцесори і МПК є універсальними засобами цифрової обробки інформації, проте окремі сфери застосування вимагають реалізації певних

специфічних варіантів класифікації за такими ознаками: призначенням; кількістю ВІС; способом керування; типом системи команд; типом архітектури.

За призначенням МП розділяють на універсальні і спеціалізовані.

Універсальними мікропроцесорами є МП загального призначення, які вирішують широкий клас завдань обчислення, обробки і управління.

Спеціалізовані мікропроцесори призначені для вирішення завдань лише певного класу. До спеціалізованих МП належать: сигнальні; медійні і мультимедійні; трансп'ютери.

Сигнальні процесори призначені для цифрової обробки сигналів в реальному масштабі часу (наприклад фільтрація сигналів, обчислення згортки, обчислення кореляційної функції, посилення, обмеження і трансформація сигналу, пряме і зворотне перетворення Фур'є).

Медійні і мультимедійні процесори призначені для обробки аудіосигналів, графічної інформації, відеозображень, а також для розв'язування ряду завдань в мультимедіакомп'ютерах, іграшкових приставках, побутовій техніці.

Трансп'ютери призначені для масових паралельних обчислень і роботи в мультипроцесорних системах. Для них характерною є наявність внутрішньої пам'яті і вбудованого міжпроцесорного інтерфейсу, тобто каналів зв'язку з іншими ВІС МП.

По кількості ВІС в МПК розрізняють багатокристалльні МПК і однокристалльні мікроконтролери (ОМК). До багатокристалльних комплектів відносять: МПК з однокристалльними і секційними МП.

Однокристалльний мікропроцесор є конструктивно завершеним виробом у вигляді однієї ВІС. Інша назва однокристалльних МП – мікропроцесори з фіксованою розрядністю даних.

У секційних мікропроцесорах в одній ВІС реалізується лише деяка функціональна частина (секція) процесора. Інша назва секційних МП – розрядно-модульні мікропроцесори або мікропроцесори з нарощуванням розрядності. Секційність ВІС МП обумовлює значну гнучкість МПС, можливість на-

рощування розрядності даних, створення специфічних технологічних команд з набору мікрокоманд.

Однокристальний мікроконтролер є пристроєм, який виконаний конструктивно в одному корпусі ВІС і містить основні складові частини МПК.

За способом управління розрізняють МП з схемним і МП з мікропрограмним управлінням. Мікропроцесори з схемним управлінням мають фіксований набір команд, розроблений фірмою-виробником, який не може змінюватися користувачем. У мікропроцесорах з мікропрограмним управлінням систему команд розробляють при проектуванні конкретного МПК на базі набору найпростіших мікрокоманд з врахуванням класу завдань, для вирішення яких призначений МПК.

За типом архітектури, або принципом побудови, розрізняють МП з фоннейманівською архітектурою і МП з гарвардською архітектурою.

1.1.1 Класифікація мікропроцесорів за призначенням

За призначенням підрозділяють: мікропроцесори загального призначення та спеціалізовані мікропроцесори (рис. 1.1).

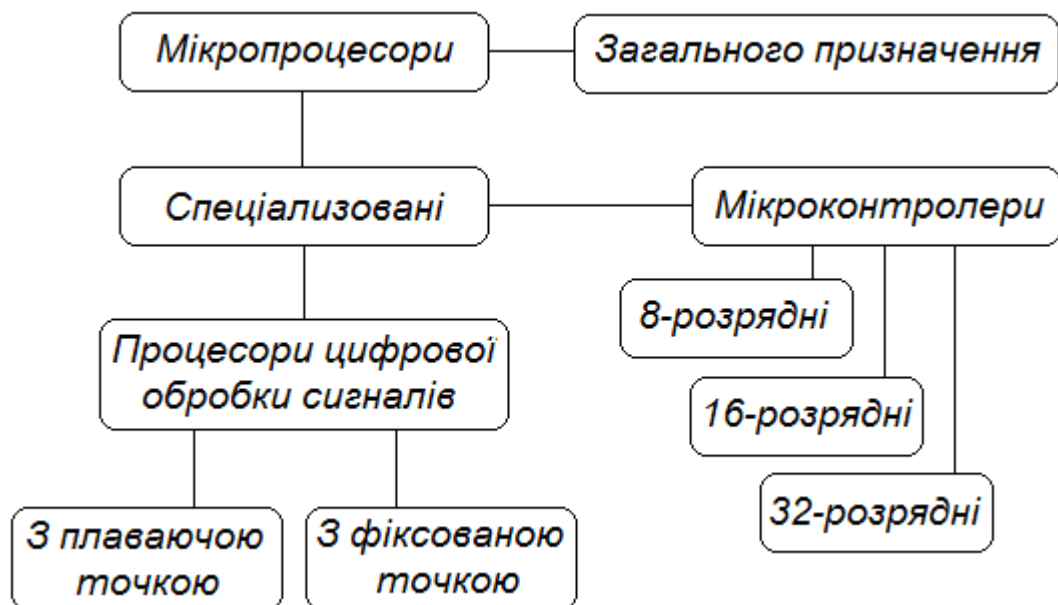


Рисунок 1.1 – Класифікація мікропроцесорів за призначенням

Мікропроцесори загального призначення служать для вирішення широкого круга завдань оброблення інформації, обчислення і керування. Їх основною сферою застосування є персональні комп'ютери, робочі станції, сервери і інші цифрові системи масового використання.

Спеціалізовані мікропроцесори призначені для вирішення лише певного класу завдань.

Мікроконтролери орієнтовані на реалізацію пристроїв управління, які вбудовуються у різноманітну апаратуру. Характерною особливістю структури мікроконтролерів є розміщення на одному кристалі з центральним процесором внутрішньої пам'яті і великого набору периферійних пристроїв.

До складу периферійних пристроїв зазвичай входять декілька паралельних портів введення/виведення даних, послідовні інтерфейси, таймерні блоки, аналого-цифрові і цифро-аналогові перетворювачі. Крім того, різні типи мікроконтролерів містять додаткові спеціалізовані пристрої: блоки формування сигналів з широко-імпульсною модуляцією; контролер рідкокристалічного дисплея і т. д. Завдяки використанню внутрішньої пам'яті і периферійних пристроїв керування, що реалізуються на базі мікроконтролерів, мікроелектронні системи мають мінімальну кількість додаткових компонентів.

Існує велика номенклатура мікроконтролерів, які підрозділяють на 8-, 16- і 32- розрядні.

Процесори цифрової обробки сигналів (ПЦОС) представляють клас спеціалізованих мікропроцесорів, орієнтованих на цифрове оброблення сигналів у реальному масштабі часу. Специфічною особливістю алгоритмів обробки аналогових сигналів є необхідність послідовного виконання ряду команд множення-складання з накопиченням проміжного результату в регістрі-акумуляторі. Тому архітектура ПЦОС направлена на швидке виконання операцій фільтрації сигналів, обчислення кореляційної функції, обчислення згортки, підсилення, обмеження і трансформації сигналу, прямого і зворотного перетворення Фур'є.

Значення сигналу може бути представлене у вигляді числа з фіксованою або плаваючою точкою (форма представлення дійсних чисел, в якій число зберігається у вигляді мантиси і показника міри). При цьому число має фіксовану відносну точність і абсолютну точність, що змінюється. Відповідно до цього ПЦОС діляться на процесори, що оброблюють числа з фіксованою або плаваючою точкою.

1.1.2 Класифікація мікропроцесорів за кількістю ВІС, способом керування та типом системи команд

За кількістю ВІС розрізняють багатокристальні мікропроцесорні комплекти та однокристальні мікроконтролери.

Мікропроцесорний комплект, сумісний по прийнятим системам команд, рівням сигналів, протоколам обміну і принципам передачі сигналів по магістралях, називають мікропроцесорним сімейством.

До багатокристальних комплектів відносять мікропроцесори з фіксованою розрядністю даних і мікропроцесори з нарощуванням розрядності.

Однокристальний мікроконтролер конструктивно виконується в одному корпусі ВІС і містить основні складові частини МПК.

За способом керування розрізняють МП з схемним і МП з мікропрограмним керуванням. Мікропроцесори з схемним керуванням мають фіксований набір команд, розроблений фірмою-виробником, який не може змінюватися користувачем. У мікропроцесорах з мікропрограмним керуванням систему команд розробляють при проектуванні конкретного МПК на базі набору найпростіших мікрокоманд з врахуванням класу завдань, для вирішення яких призначений МПК.

Система команд (Instruction Set) – це сукупність команд, або інструкцій, виконання яких на апаратному рівні підтримує процесор. В даний час існує безліч систем команд, що відрізняються по складності і функціональним можливостям. За типом системи команд розрізняють: CISC (Complete Instruction Set Computing) – процесори з повним набором команд і RISC (Reduced Instruction Set Computing) – процесори із зменшеним набором команд.

Різні процесори можуть використовувати одну систему команд, але при цьому мати різний внутрішній устрій. Наприклад МП загального призначення фірм Intel і AMD.

Команди, які входять в систему команд, можна класифікувати по декількох ознаках (рис. 1.2).



Рисунок 1.2 – Класифікація команд процесора

По функціональному призначенню команди розділяються на наступні основні групи операцій: пересилки; арифметичні; логічні; зрушення; порівняння; управління програмою; управління процесором.

1.1.3 Класифікація мікропроцесорів за типом архітектури

За типом архітектури розрізняють (рис. 1.3): мікропроцесори з загальною шиною для даних і команд (принстонська або фон-нейманівська архітектура); мікропроцесори з роздільними шинами даних і команд (гарвардська архітектура).

Особливістю пристонської архітектури (одношинної) є те, що програма і дані знаходяться в загальній пам'яті, доступ до якої здійснюється по одній шині даних і команд (рис. 1.3, а).

Особливістю гарвардської архітектури (двохшинної) є те, що пам'ять даних і пам'ять програм розділені і мають окремі шини даних і шини команд (рис. 1.3, б), що дозволяє підвищити швидкодію МП системи.

Архітектура із загальною шиною поширена значно більше, вона застосовується, наприклад, в персональних комп'ютерах і в складних мікрокомп'ютерах. Архітектура з роздільними шинами застосовується в основному в однокристальних мікроконтролерах.

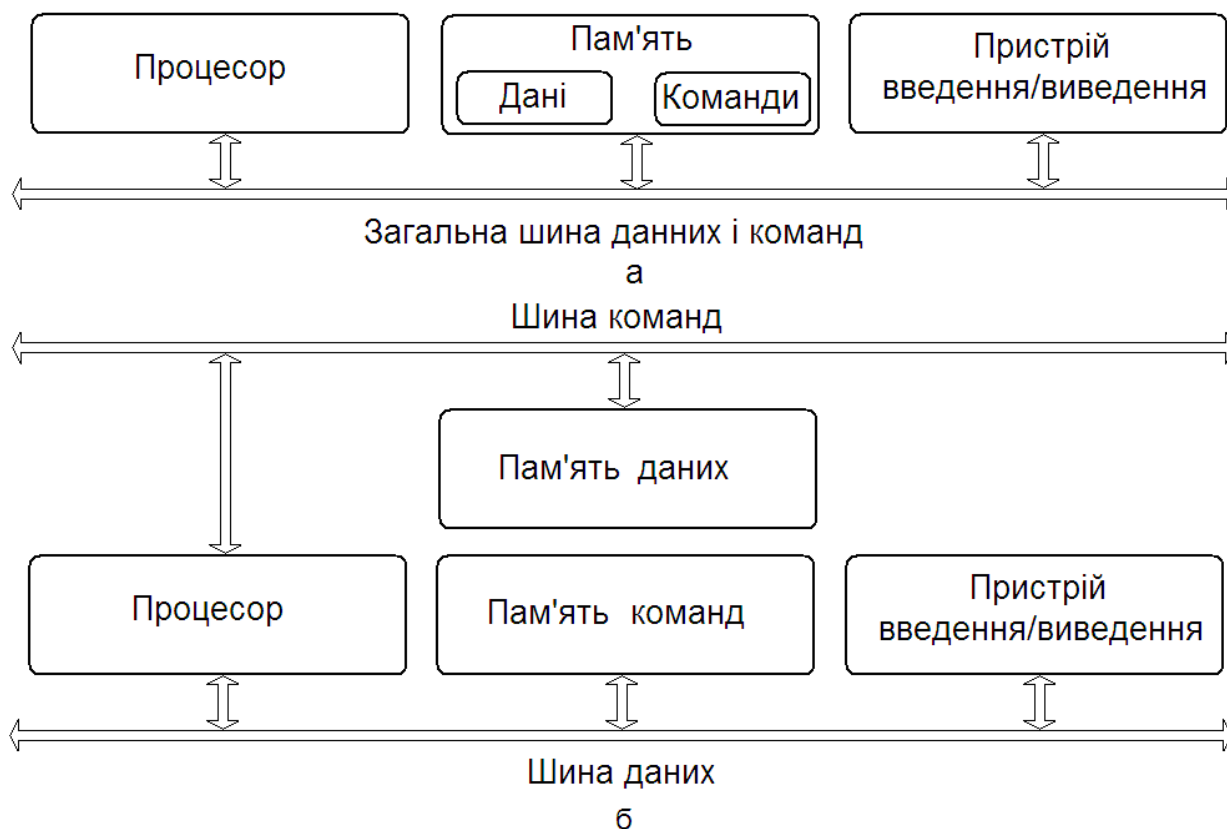


Рисунок 1.3 - Основні типи архітектури: а – принстонська; б – гарвардська

Архітектура із загальною шиною (принстонська) простіша, вона не вимагає від процесора одночасного обслуговування двох шин, контролю обміну по двох шинах відразу. Наявність єдиної пам'яті даних і команд дозволяє гнучко розподіляти її об'єм між кодами даних і команд. У системах з такою архітектурою пам'ять буває великого об'єму, що дозволяє вирішувати найскладніші завдання.

Архітектура з роздільними шинами даних і команд складніша, вона зставляє процесор працювати одночасно з двома потоками кодів, обслуговувати обмін по двох шинах одночасно. Програма може розміщуватися лише в пам'яті команд, дані – лише в пам'яті даних. Така вузька спеціалізація обмежує круг завдань, що вирішуються системою, оскільки не дає можливості гнучкого перерозподілу пам'яті. Пам'ять даних і пам'ять команд в цьому випадку мають не дуже великий об'єм, тому вживання систем з даною архітектурою обмежується зазвичай не дуже складними завданнями.

Швидкодія мікропроцесорів з гарвардською архітектурою вище ніж мікропроцесорів з пристонською архітектурою.

При єдиній шині команд і даних процесор вимушений по одній цій шині приймати дані (з пам'яті або пристрою введення/виведення) і передавати дані (у пам'ять або в пристрій введення/виведення), а також читати команди з пам'яті. Одночасно ці пересилки кодів по магістралі відбуватися не можуть, вони повинні вироблятися по черзі.

У разі двохшинної архітектури обмін по обох шинах може бути незалежним, паралельним в часі. Відповідно, структури шин (кількість розрядів коди адреси і коди даних, порядок і швидкість обміну інформацією і так далі) можуть бути вибрані оптимально для того завдання, яке вирішується кожною шиною. Тому за інших рівних умов перехід на двохшинну архітектуру прискорює роботу мікропроцесорної системи, хоча і вимагає додаткових витрат на апаратуру, ускладнення структури процесора. Пам'ять даних в цьому випадку має свій розподіл адрес, а пам'ять команд – своє.

Основне використання двохшинної архітектури – в мікроконтролерах, від яких не вимагається вирішення дуже складних завдань, але необхідна максимальна швидкодія при заданій тактовій частоті.

1.2 Організація шин

Процесор сполучений зі всіма елементами мікропроцесорної системи і керує нею за допомогою цифрових шин. Шина – це інформаційний канал з набору n паралельних провідників, по яких передається цифровий сигнал. Ці провідники називаються лініями шини. Конструктивно шина складається з n провідників та з одного спільного провідника (землі). Дані по шині передаються у вигляді слів, які є групою біт. У кожен момент часу по шині передається одне двійкове число. По кожній лінії передається один розряд цього числа.

У паралельній шині n біт передаються по окремих лініях одночасно, в послідовній шині – по єдиній лінії послідовно в часі. Паралельні шини вико-

нують у вигляді плоского кабелю, а послідовні – у вигляді коаксіального або волоконно-оптичного кабелю. Коаксіальний кабель використовують для передавання даних на відстань до 100 м, узгоджуючи передавальні та приймальні каскади з хвильовим опором лінії. Волоконно-оптичний кабель використовують для передавання на значно більші відстані.

По кожній лінії передається один розряд цього числа. У будь-якій мікропроцесорній системі є три основні шини: шина даних, шина адреси, шина команд. Усі разом ці три шини утворюють системну шину SB (System Bus).

Шина даних DB (Data Bus) є двонапрявленою. Вона призначена для передачі даних від мікропроцесора до периферійних пристроїв, а також у зворотному напрямі. Розрядність шини даних визначається типом вживаного процесора. У простих мікропроцесорах шина даних зазвичай має 8 розрядів. Сучасні процесори можуть мати шину даних в 16, 32, 64 розрядів. Кількість розрядів завжди кратно восьми.

Шина адреси AB (Address Bus) є однонапрявленою. Вона призначена для передачі адреси елемента пам'яті або пристрою введення/виведення. Напрямо передачі по шині адреси – від МП до зовнішніх пристроїв. На відміну від шини даних, двійкові числа, що передаються по шині адреси, мають інший сенс і призначення. Вони є адресою елемента пам'яті або номером порту введення/виведення, до якого в даний момент звертається процесор. Кількість розрядів адресної шини відрізняється великою різноманітністю. Від кількості розрядів шини адреси залежить те, яку кількість елементів пам'яті може адресувати процесор. Це число називається об'ємом адресуємої пам'яті.

Шина керування CB (Control Bus) призначена для передачі сигналів, що керують. Для керування процесами обміну інформації мікропроцесорна система повинна мати деякий набір ліній які передають спеціальні сигнали, що керують. Ці лінії і прийнято об'єднувати в так звану шину керування. Хоча напрям сигналів, що керують, може бути різним, проте шина керування не є двонапрявленою, оскільки для сигналів різного напрямку використовуються окремі лінії:

RD (Read) – сигнал читання.

WR (Write) – сигнал запису.

MREQ – сигнал ініціалізації пристроїв пам'яті (ОЗП або ПЗП).

IORQ – сигнал ініціалізації портів введення/виведення.

READY – сигнал готовності;

RESET – сигнал скидання.

Умовні позначення шин представлені на рисунку 1.4.

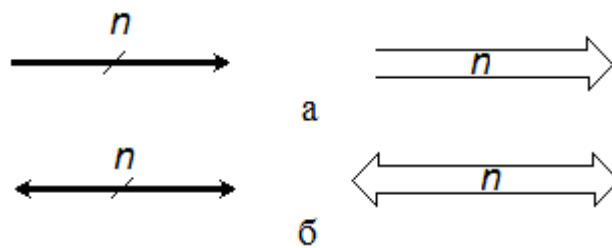


Рисунок 1.4 - Варіанти умовних позначень: а – однонаправленої паралельної n -розрядної шини; б – двонаправленої паралельної n -розрядної шини

Як приклад на рисунку 1.5 показана структурна схема передачі інформації між m регістрами по внутрішній n -розрядній шині даних з урахуванням прийнятих позначень.

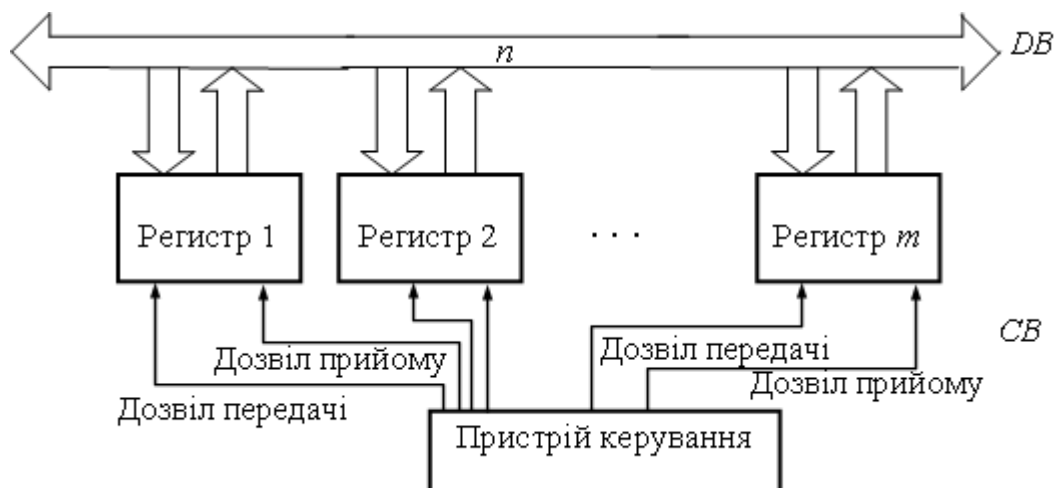


Рисунок 1.5 - Структурна схема передачі інформації між m регістрами по внутрішній n -розрядній шині даних

1.3 Принципи побудови мікропроцесорних систем

У основу побудови МПС систем покладено три принципи: 1) магістральності; 2) модульності; 3) мікропрограмного управління.

Принцип магістральності визначає характер зв'язків між функціональними блоками МПС – всі блоки з'єднуються з єдиною системною шиною.

Принцип модульності полягає в тому, що система будується на основі обмеженої кількості типів конструктивно і функціонально завершених модулів. Кожен модуль МПС системи має вхід управління третім (Високоімпедансом) станом. Цей вхід називається \overline{CS} (Chip Select) – вибір кристала або \overline{OE} (Output Enable) – дозвіл виходу.

Дію сигналу \overline{CS} для тригера показано на рисунку 1.6. Вихідний сигнал тригера Q з'являється на виводі лише за активного (у цьому випадку — нульового) рівня сигналу \overline{CS} . Якщо $\overline{CS} = 1$, тригер переводиться у високоімпедансний стан. Вихід тригера є тристабільним, тобто може перебувати в одному з трьох станів: логічної одиниці, логічного нуля або у високоімпедансному. У кожний момент часу до системної шини МПС під'єднано лише два модулі – той, що приймає, і той, що передає інформацію. Інші знаходяться у високоімпедансному стані.

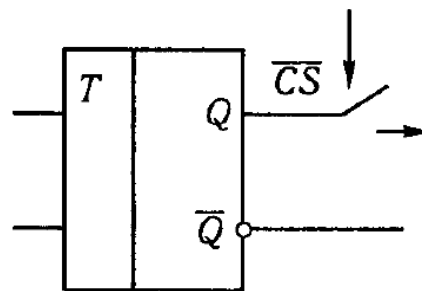


Рисунок 1.6 – Дія сигналу \overline{CS} для тригера

Принцип мікропрограмного управління полягає в можливості здійснення елементарних операцій – мікрокоманд (зрушення, пересилки інформації, логічних операцій). Певною комбінацією мікрокоманд можна створити набір команд, який максимально відповідатиме призначенню системи, тобто створити технологічну мову. У секційних процесорах набір мікрокоманд можна змінити, використовуючи інші мікросхеми пам'яті мікрокоманд.

Узагальнену структурну схему МПС зображено на рисунку 1.7. До складу МПС входять центральний процесор (ЦП), ПЗП, ОЗП, система переривань, таймер, ПБВ. Пристрої введення-виведення під'єднані до системної шини через інтерфейси введення-виведення.

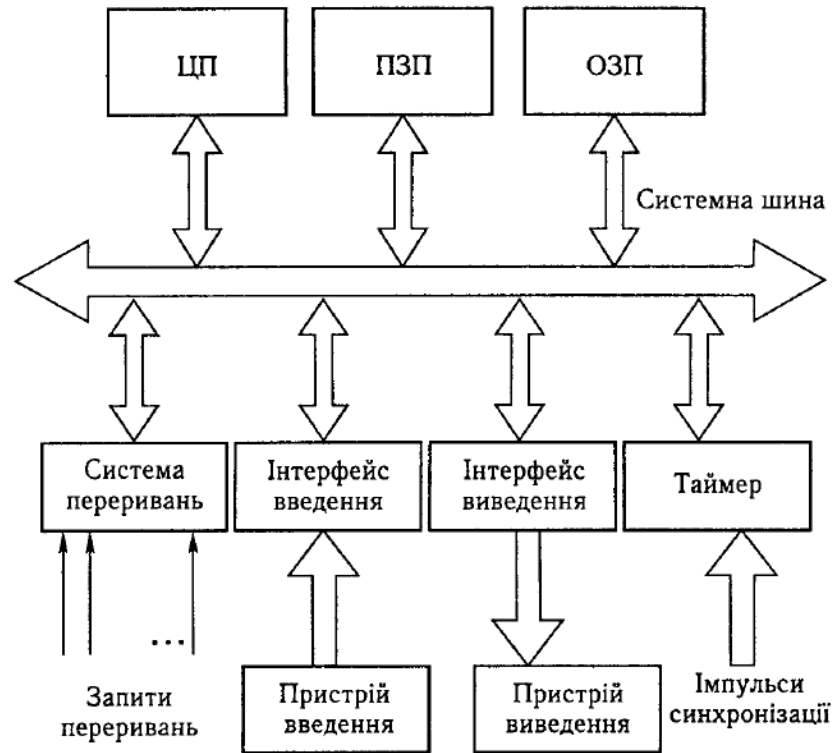


Рисунок 1.7 – Узагальнена структурна схема мікропроцесорної системи керування

Постійний та оперативний запам'ятовувальні пристрої – це система пам'яті, яку використовують для збереження інформації у вигляді двійкових чисел. Постійний запам'ятовувальний пристрій призначений для збереження програм керування таблиць і констант, а оперативний запам'ятовувальний пристрій (ОЗП) – для збереження проміжних результатів обчислень. Пам'ять організовано у вигляді масиву комірок, кожна з яких має свою адресу і містить байт або слово. Байтом називають групу із 8 біт. Слово може мати будь-яку довжину в бітах. Під словом найчастіше розуміють двійкове число завдовжки два байти.

Для звернення до комірки пам'яті треба видати її адресу на шину адреси. На рисунку 1.8 зображено структуру пам'яті з 8 однобайтових комірок, де

кожній адресі відповідає певний вміст комірки. Так, комірка з адресою 000 має вміст $01011111_2 = 5F_{16}$.

Адреса	Дані
000	01011111
001	00010011
010	01110111
011	00001100
100	00000000
101	11111111
110	10101010
111	11110000

Рисунок 1.8 - Структура пам'яті з 8 однобайтових комірок

Сегментом називають область пам'яті, яка починається з будь-якої адреси, кратної 16, і займає до 64 Кбайт. Існують три основних сегменти: сегмент кодів, сегмент даних, сегмент стеку.

Сегмент кодів містить коди команд, які адресуються сегментним регістром кодів CS та регістром – лічильником команд IP. Регістр CS визначає початкову адресу сегмента кодів, а регістр IP – зміщення в сегменті (відстань від початку сегмента до комірки, в якій знаходиться адреса команди).

Сегмент даних містить дані, константи та робочі області, необхідні для виконання програми. Регістр DS має початкову адресу сегмента даних, а зміщення в сегменті задається в команді.

Сегмент стеку містить адреси повернення з підпрограм та дані. Регістр SS має початкову адресу сегмента стеку, а регістр SP – зміщення в сегменті.

У деяких операціях використовують додатковий сегмент даних, початкова адреса якого задається регістром ES, а зміщення в сегменті – командою.

Двобайтове зміщення (16 біт) може знаходитися в межах від 0000_{16} до $FFFF_{16}$. Для звернення до будь-якої адреси у програмі виконується додавання адрес, які знаходяться в регістрі сегмента та зміщення. Наприклад, перший байт у сегменті кодів має зміщення нуль, другий байт – одиницю і так аж до $FFFF_{16}$.

Конкретна адреса команди (для сегмента кодів), комірки пам'яті (для сегмента даних та додаткового сегмента) або комірки стеку (для сегмента стеку) визначається результатом додавання адреси сегмента, яка міститься у відповідному сегментному реєстрі, та зміщення.

Модуль центрального процесора здійснює оброблення даних і керує всіма іншими модулями системи. Крім ВІС МП, центральний процесор містить схеми синхронізації та інтерфейсу із системною шиною. Він вибирає коди команд з пам'яті, дешифрує їх і виконує. Впродовж часу виконання команди (командного циклу) центральний процесор (ЦП) виконує такі дії:

- виставляє адресу команди на шину адреси АВ;
- отримує код команди з пам'яті та дешифрує його;
- обчислює адреси операнда і зчитує дані;
- виконує операцію, визначену командою;
- сприймає зовнішні керуючі сигнали, наприклад запити переривань;
- генерує сигнали стану і керування, необхідні для роботи пам'яті та пристрою введення-виведення (ПВВ).

Пристрої введення-виведення або зовнішні пристрої – це пристрої, призначені для введення інформації в МП або виведення інформації з нього. Прикладами ПВВ є дисплеї, друкувальні пристрої, клавіатура, цифроаналоговий та аналогоцифровий пристрої, реле, комутатори. Для з'єднання ПВВ із системною шиною їхні сигнали мають відповідати певним стандартам. Це досягається за допомогою інтерфейсів введення-виведення.

Інтерфейси введення-виведення називають також контролерами, або адаптерами. Мікропроцесор звертається до інтерфейсів за допомогою спеціальних команд введення-виведення. При цьому МП виставляє на шину адреси АВ адресу інтерфейсу і по шині даних DB зчитує дані з пристрою введення або записує у пристрій виведення. На рисунку 1.7 показано один інтерфейс введення та один інтерфейс виведення.

Система переривань дає змогу МПС реагувати на зовнішні сигнали – запити переривань, джерелами яких можуть бути сигнали готовності від зов-

нішніх пристроїв, сигнали від генераторів та сигнали з виходів датчиків. З появою запиту переривання ЦП перериває основну програму і переходить до виконання підпрограми обслуговування запиту переривання. Для побудови системи переривань МПК містять ВІС спеціальних програмованих контролерів переривань.

Таймер призначений для реалізації функцій, пов'язаних з відліком часу. Після того як МП завантажує в таймер число, яке задає частоту, затримку або коефіцієнт ділення, таймер реалізує необхідну функцію.

1.4 Загальна структура мікропроцесора

Структура процесора містить складні пристрої, які дозволяють під програмним керуванням виконувати над вихідними числами логічні і арифметичні операції. При описанні архітектури і функціонування мікропроцесора зазвичай використовується його представлення у вигляді: пристрою керування, арифметичного логічного пристрою (АЛП), сукупності програмно-доступних регістрів, утворюючих регістрову, або програмну модель, акумулятора, лічильника команд і покажчика стека (рис. 1.4).

У регістрах містяться данні, які оброблюються (операнди) і інформація, яка управляє. В регістрову модель входить група регістрів загального призначення (РЗП), призначених для зберігання операндів, і група службових регістрів, що забезпечують керування виконанням програми і режимом роботи процесора, організацію звернення до пам'яті.

Пристрій керування відповідно до кодів команд, зовнішніх сигналів управління і сигналів синхронізації виробляє сигнали управління для всіх блоків структурної схеми МП, а також керує обміном інформацією між МП, пам'яттю і ПВВ. Пристрій керування реалізує такі функції: початкового встановлення МП, синхронізації, переривань, узгодження швидкодії модулів МП системи.

Функція початкового встановлення МП. Зовнішній сигнал початкового встановлення процесора RESET формується при включенні джерела живлення МП або при натисненні кнопки RESET.

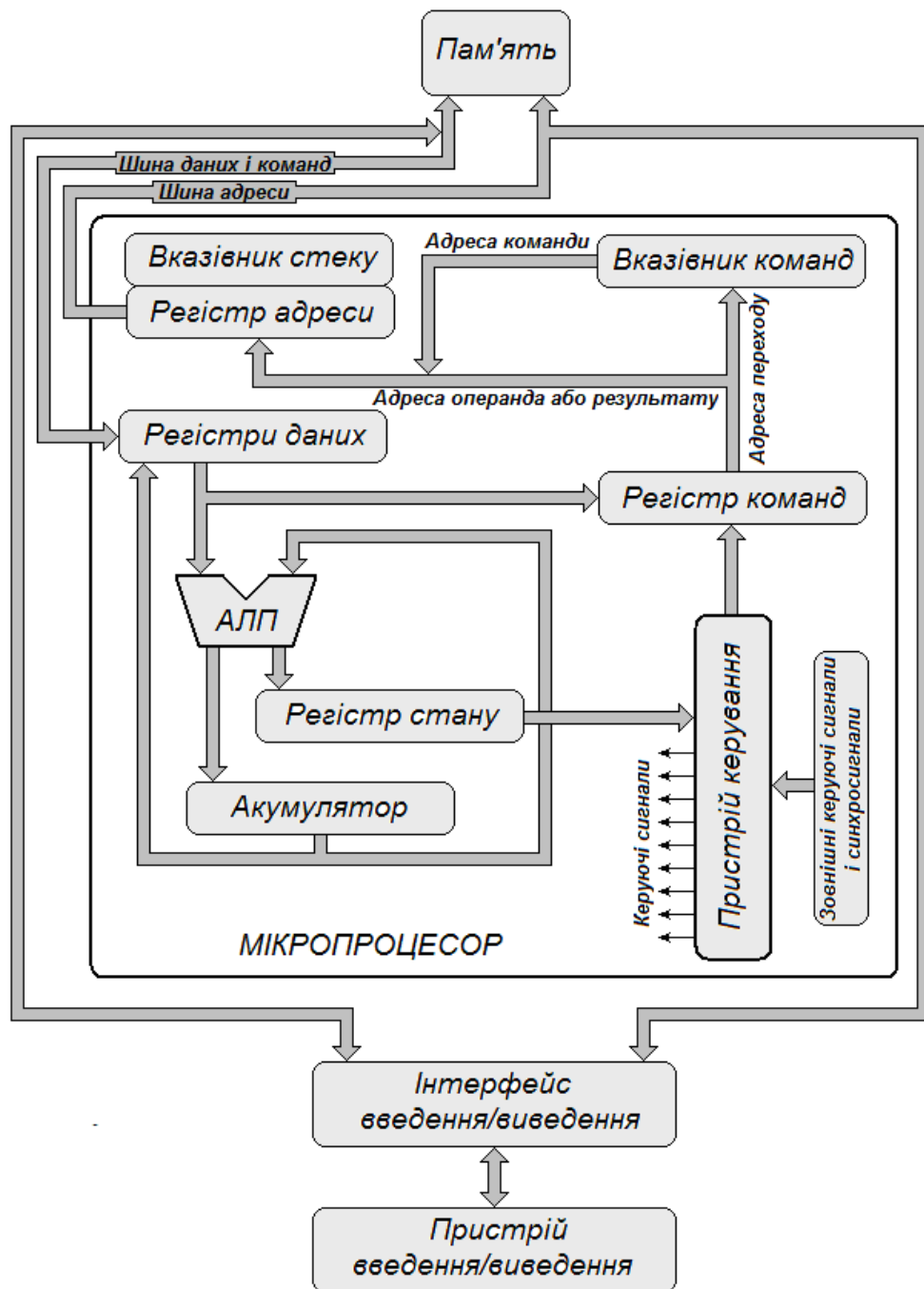


Рисунок 1.4 – Архітектура мікропроцесора з загальною шиною даних і команд

При появі цього сигналу пристрій управління забезпечує завантаження нульового значення в програмний лічильник, який ініціює вибір з пам'яті байта команди з нульовою адресою. В кінці вибору вміст лічильника команд збільшується на одиницю, і вибирається байт команд з наступною адресою. Таким чином виконується вся записана в пам'яті програма.

Функція синхронізації. Згідно із зовнішніми сигналами управління, і сигналами синхронізації пристрій керування синхронізує роботу всіх блоків МП.

Функція переривань. З надходженням сигналу переривання пристрій керування ініціює роботу підпрограми обробки відповідного переривання. Потреба в реалізації функцій переривань виникає тоді, коли під час виконання основної програми потрібно перекласти МП на рішення іншої задачі, наприклад, обробки аварійної ситуації або роботи з ПВВ.

Функція узгодження швидкодії модулів мікропроцесорної системи. Під час обслуговування пам'яті і ПВВ із значно меншою швидкістю чим МП, узгодження швидкодії вирішується генерацією тактів очікування МП, а під час обслуговування пристроїв з більшою швидкістю чим МП, використовується режим безпосереднього доступу до пам'яті.

Арифметичний логічний пристрій (АЛП) є комбінаційною схемою на основі суматора, який сигналами з виходів пристрою керування налагоджується на виконання певної арифметичної або логічної операції: додавання, віднімання, логічне І, логічне АБО, логічне НЕ, Виключне АБО, зрушення, порівняння, десяткової корекції. Таким чином, АЛП виконує арифметичні або логічні операції над операндами, які пересилаються з пам'яті і (або) регістрів МП.

Операнд – це об'єкт у вигляді значення даних, вмісту регістрів або вмісту елементу пам'яті, з яким оперує команда, наприклад, в команді додавання операндами є доданки. Операнд може задаватися в команді у вигляді числа або знаходитися в регістрі або елементі пам'яті. Отриманий після виконання команди в АЛП результат пересилається в регістр або елемент пам'яті.

Регістри призначені для зберігання n -розрядного двійкового числа. Схемно це n тригерів з схемами управління читанням/записом і вибірки. Регістри створюють внутрішню пам'ять МП і використовуються для зберігання проміжних результатів обчислень.

Акумулятор – це регістр, в якому зберігається один з операндів. Після виконання команди в акумуляторі замість операнда розміщується результат операції. У 8-розрядних процесорах акумулятор бере участь у всіх операціях АЛП. У 16-розрядних МП більшість команд виконуються без участі акумулятора, але в деяких командах (введення, виведення, множення, ділення) акумулятор діє так само, як і в 8-розрядних МП, тобто зберігає один з операндів, а після виконання команди – результат операції.

Показчик команд або програмний лічильник призначений для зберігання адреси елементу пам'яті, яка містить код наступної команди. Програма дій МП записана в пам'яті у вигляді послідовності коду команд. Для переходу до наступної команди вміст лічильника збільшується на одиницю у момент вибору команди з пам'яті. Таким чином, в кінці виконання команди в лічильнику команд зберігається адреса наступної команди. У технічній літературі використовують обидві назви цього регістру. Зазвичай в МП використовують назву IP (Instruction Pointer) - вказівка команд, а в однокристальних МІКРО-ЕОМ і мікроконтролерах – PC (Program Counter) – програмний лічильник.

Регістр адреси і регістри даних призначені для зберігання адрес і даних, використовуваних під час виконання поточної команди в МП.

Регістр стану або регістр прапорців (ознак) призначений для зберігання інформації про результат операції в АЛП і є декількома тригерами, які набувають одиничних або нульових значень. Наприклад, прапорець нуля встановлюється в одиницю при нульовому результаті операції.